

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-138255

(P2000-138255A)

(43) 公開日 平成12年5月16日 (2000. 5. 16)

(51) Int.Cl.⁷

H 0 1 L 21/60

21/3065

識別記号

3 1 1

F I

H 0 1 L 21/60

21/302

21/92

特 許 公 報 (参 考)

3 1 1 Q 5 F 0 0 4

N 5 F 0 4 4

6 0 4 Z

審査請求 有 請求項の数 8 O L (全 9 頁)

(21) 出願番号

特願平10-308432

(22) 出願日

平成10年10月29日 (1998. 10. 29)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 雄大

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 磯崎 誠也

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

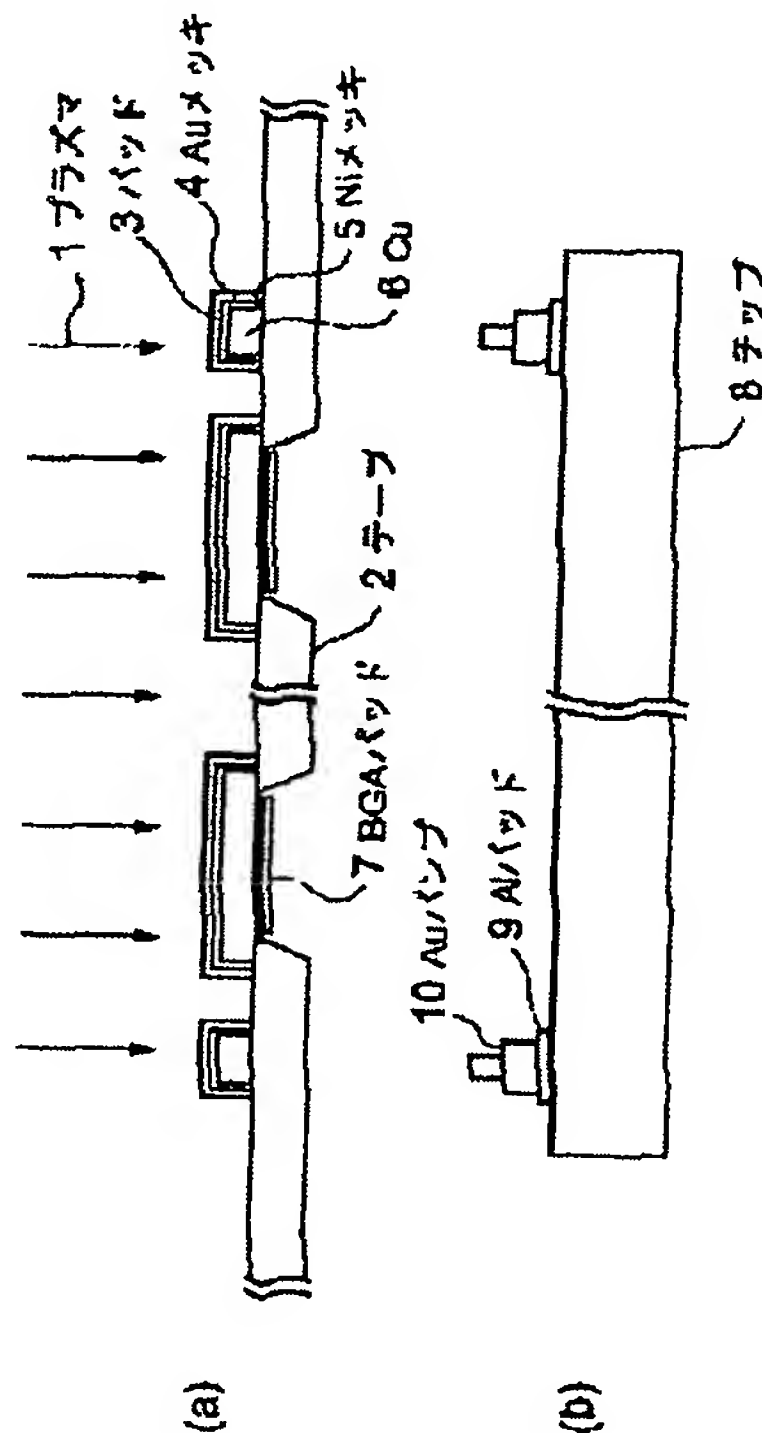
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び製造装置

(57) 【要約】

【課題】 有機不純物の影響を受けずフリップチップ接続時の加熱温度を低くする。

【解決手段】 本発明による半導体装置の製造方法及び装置は、半導体チップの接続組立時の加熱により、電気的性能の劣化を低減するものである。半導体チップの bumps と基板をマウント接続する際、基板の接続するパッド表面あるいは半導体チップの bumps 表面を清浄することにより、接続温度を 200℃～300℃以下で出来る。また、基板のパッド表面の活性化処理したものを維持するために、製造装置の中にプラズマ処理部を入れ、製造装置内を不活性ガスで充填することにより、プラズマ処理部で清浄されたパッド表面を大気中にさらして再汚染することなく、マウント接続が出来る。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造方法において、接続前に前記基板の接続パッド上の有機系不純物をドライプロセスによるクリーニング処理によって除去することを特徴とする半導体装置の製造方法。

【請求項2】 半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造方法において、接続前に前記基板の接続パッド上および前記半導体チップの bumps 上の有機系不純物をドライプロセスによるクリーニング処理によって除去することを特徴とする半導体装置の製造方法。

【請求項3】 前記ドライプロセスによるクリーニング処理は、プラズマ照射工程であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記ドライプロセスによるクリーニング処理は、紫外線照射工程であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項5】 半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造方法において、接続前に前記基板の接続パッド上の有機系不純物をドライプロセスによるクリーニング処理によって除去し、不活性ガスの雰囲気の中で前記半導体チップと前記基板とをフリップチップ接続させることを特徴とする半導体装置の製造方法。

【請求項6】 前記ドライプロセスによるクリーニング処理は、プラズマ照射工程であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記ドライプロセスによるクリーニング処理は、紫外線照射工程であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造装置において、接続前に前記基板の接続パッド上の有機系不純物をプラズマ照射処理によって除去するプラズマ反応器と前記半導体チップと前記基板とをフリップチップ接続させる接続器とを不活性ガスの雰囲気の中に閉じこめたことを特徴とする半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法および製造装置に関し、特に半導体チップを基板にフリップチップ接続する製造方法の改良およびそのための製造装置に関する。

【0002】

【従来の技術】従来、半導体チップを基板にフリップチップ接続する場合、半導体チップの電極パッド上に突起状の bumps を形成し、その bumps を基板上の電極パッドに位置合わせして、加熱しながら加圧し接続する方法が用いられている。

【0003】

【発明が解決しようとする課題】この従来の半導体装置の製造過程で、基板の電極パッド表面に有機系不純物が付着しやすいので、その影響により高温（400℃以上）・長時間・高加圧な条件でなければ半導体チップの bumps と基板の電極パッドが良好に接合せず、基板の耐熱性の制約により高耐熱性のアルミナ、ガラスセラミック等無機基板しか使用できないという問題点があった。

【0004】また、マウント温度が400℃以上で作業を行うと、半導体チップの電気特性に劣化現象が発生し、信頼性上問題となるばかりか、フリップチップ接続後に半導体チップと基板の接続部にクラックが発生する確立が40%程度であり、後工程で問題となる。

【0005】本発明の目的は、半導体チップと基板とのフリップチップ接続において、有機系不純物の影響を受けずにフリップチップ接続時の加熱温度を低くできる半導体装置の製造方法および製造装置を提供することにある。

【0006】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体チップと基板とをフリップチップ接続させた構造を有する半導体装置の製造方法において、基板の bumps 上の有機系不純物をドライプロセスによるクリーニング処理によって除去することにより、低温・短時間でチップの bumps と基板の bumps を熱圧着することを可能とする。

【0007】本発明の半導体装置の製造方法では、プラズマまたは紫外線を基板に照射し、 bumps や bumps の bumps メッキの表面上の有機系不純物を除去することにより、低温・短時間・低加圧でのチップの bumps と基板の bumps との熱圧着を可能とする。これにより基板材質は、無機系の耐高熱性のものだけでなく、有機系基板も使用できるため低コスト化できる。また短時間で熱圧着できるため生産性が向上する。

【0008】また接合強度も向上するため高信頼性の半導体装置が得られる。

【0009】さらに、別な問題点は、基板の電極パッド表面を活性化する際、プラズマ処理装置から出して大気中に戻した場合、C（炭素）とO（酸素）が再付着して、接続品質を低下させる問題がある。

【0010】これは、半導体装置の製造方法において、接続前に前記基板の接続パッド上の有機系不純物をドライプロセスによるクリーニング処理によって除去し、不活性ガスの雰囲気の中で前記半導体チップと前記基板とをフリップチップ接続させる製造方法により解決される。

【0011】さらに本発明によれる半導体装置の製造装置は、接続前に前記基板の接続パッド上の有機系不純物をプラズマ照射処理によって除去するプラズマ反応器と前記半導体チップと前記基板とをフリップチップ接続さ

せる接続器とを不活性ガスの雰囲気の中に閉じこめたことを特徴とする。

【0012】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0013】図1から図6は本発明の第1の実施の形態の半導体装置製造方法を示す断面図であり、このうち図6は最終的に製造される半導体装置を示すものである。

【0014】図6において、半導体装置は、配線パターンが形成されたの絶縁体のフレキシブルテープ（以下、単にテープと略称する）2が基板として使用され、半導体チップ8を実装している。

【0015】テープ2の片面（半導体チップ8の側）には、半導体チップ8に接続されるパッド（接続パッド）3が形成され、また、はんだボール15が形成される位置にボールグリッドアレイ（BGA）パッド（接続パッド）7が形成される。はんだボール15は、図示しないマザーボードに接続される。

【0016】パッド3は、銅（Cu）6にニッケル（Ni）メッキ5、さらにその上に金（Au）メッキ4を施したものである。

【0017】半導体チップ8は、電極としてのアルミニウム（Al）パッド9を有し、そのパッド上のAuバンパ10を介してテープ2のパッド3に接続される。

【0018】つぎにこの半導体装置の製造方法について図1から図6を参照して説明する。

【0019】その製造方法について概略説明すると、まず図1（a）に示すように、パッド3及びBGAパッド7を設けたテープ2を用意し、テープ2のパッド3側にプラズマ1を照射しパッド3のAuメッキ4の表面に付着した有機系不純物を除去する工程と、次にAuバンパ10を半導体チップ8に形成する工程（図1（b））と、次いで半導体チップ8を反転しAuバンパ10とテープ2のパッド3を位置合わせする工程（図2）と、Auバンパ10とパッド3を熱圧着する工程（図3）と、半導体チップ8とテープ2の間隙に封止樹脂14を流し込み加熱硬化させる工程（図4）と、さらにBGAパッド7上にはんだボール15を形成し（図5）、チップ8のサイドを切断することによりCSP（チップサイズパッケージ）を得る工程（図6）とを有する。

【0020】つぎにその製造方法についてさらに詳細に説明する。図1（a）に示すように、テープ2に図示しないプラズマ処理装置によりプラズマ1を照射しパッド3のAuメッキ4の表面の有機系不純物を取り除く。このときのプラズマ処理の条件は、Arガス流量50ml/分（通常使用範囲10～100ml/分）、真空圧が65mTorr（通常50～500mTorr）、RF Power 400W（通常50～500W）、処理時間は180秒（通常60～300秒）とした。またこのときのAuメッキ4の厚さは1μmとした（通常Auメ

ッキ厚は0.03～2μm程度）。

【0021】一方、図1（b）に示すように、半導体チップ8は、Alパッド9上にAuバンパ10をボールボンディング法により形成する。このときAuバンパ10を形成する際、ボールボンディング法を採用したがメッキ法その他を用いる方法もある。また半導体チップ8のAlパッド9はCuその他の材料を用いることも可能である。

【0022】次に図2に示すように、Auバンパ10を形成した半導体チップ8を反転しコレット12に吸着してステージ11上に置いたプラズマ1を照射したテープ2と位置を合わせ、その後、図3に示すように加圧加熱13を行ってチップ8のAuバンパ10とテープ2のパッド3を熱圧着する。

【0023】このときの熱圧着条件は、ステージ11の温度70℃、コレット12の温度300℃、加熱加圧時間2.5～7.5秒、加圧力75～125gf/バンパである。プラズマ1を照射することにより加熱温度を低くし加熱加圧時間を短くすることが可能となる。

【0024】その後、図4に示すようにテープ2と半導体チップ8の間隙に封止樹脂14を流し込み、加熱して封止樹脂14を硬化させる。

【0025】次に、図5に示すように、はんだボール15をテープ2のBGAパッド7上に形成し、チップサイズより0.5mm大きくダイサーにより切断し、図6の半導体装置が完成する。このときBGAパッドにははんだボールを形成したが、その材料はPbSnの共晶はんだまたはその他の材料を使用するか、形成しない場合もある。また切断はダイサーを用いたが打ち抜きその他でも良い。また切断する大きさはチップサイズ以上であればよい。

【0026】図7は縦軸に接合強度（ダイシェア強度）、横軸に圧着条件をとり、プラズマ処理の有無での比較を行ったグラフ図である。加熱温度を300℃として、圧着時間2.5秒加圧力75gf/バンパの時プラズマ処理無しでは、半導体チップ8のAuバンパ10とテープ2のパッド3とが圧着しないのに対し、図1（a）に示すようにプラズマ処理した場合では、約3100gfの接合強度（ダイシェア強度）が得られた（94個Auバンパのあるチップを用いた場合）。

【0027】また7.5秒、125gf/バンパの条件の場合、プラズマ処理無しではダイシェア強度が約2500gfなのに対し、プラズマ処理したときには約5100gfとなり、2倍以上の接合強度が得られる。

【0028】このようにプラズマ処理した場合には、していない場合と比較し接合強度が大幅に増加する。

【0029】図8と図9はテープ2のパッド3表面をオージェ分析した結果を表したグラフである。横軸は、運動エネルギー、縦軸は強さである。図8はプラズマ処理をした場合、図9はプラズマ処理していない場合であ

る。プラズマ処理していない図9では窒素(N)が検出されているのに対し、プラズマ処理を施した後オージェ分析した図8ではNが検出されていない。Nはテープ2の材質PI(ポリイミド)に含まれるため、製造工程でPIが付着したと考えられる。

【0030】また炭素(C)はプラズマ処理後のオージェ分析結果のほうが増加しているが、これは一度清浄化したAu表面に空気中の不純物が(あるいはCを含むガス成分)が吸着したものであると推定される。(この後で付着した不純物は、圧着にさほど影響を与えない)このようにオージェ分析結果からもプラズマ処理の有効性が確認できる。

【0031】以上のようにフリップチップ接続で半導体装置を製造する際、テープパッドにプラズマを施すことにより、Auメッキ表面の有機系不純物をとりのぞけるため、低温・短時間・低加圧の圧着が可能となる。これにより基板材質は、無機系の耐高熱性のものだけでなく、有機系基板も使用できるため低コスト化できる。また短時間で熱圧着できるため生産性が向上する。また接合強度も向上するため高信頼性の半導体装置が得られる。

【0032】図10から図13は本発明の第2の実施の形態の半導体装置製造方法を示す断面図である。本実施の形態の半導体装置では、テープの代わりに基板にはセラミック16を用いた。図10(a)で紫外線(UV)をセラミック16に照射する。このときのUV照射条件は、Power 12mW/平方cm(通常使用範囲1~100mW/平方cm)、照射時間180秒(通常10~300秒)である。

【0033】次に図10(b)に示すようにAuバンプ10を半導体チップ8のA1パッド9上に形成する。次いで図11に示すように半導体チップ8を反転しAuバンプ10とセラミック16のパッド3bを位置合わせし、その後図12に示すように、加熱加圧して熱圧着を行う。

【0034】熱圧着の条件は、ステージ温度70℃、コレット温度270℃、加圧力75gf/バンプ、加圧加熱時間2.5秒とした(従来、UV照射せず圧着していた条件は、ステージ温度70℃、コレット温度400℃、加圧力125gf/バンプ、加圧加熱時間15秒である)。

【0035】最後に図13に示すように封止樹脂をセラミック16と半導体チップ8の間隙に流し込み、加熱硬化させ半導体装置が完成する。

【0036】このときの半導体チップ8のAuバンプ10とセラミック16のパッド3bとの接続良品率は100%(接続検査ポイント数:2080p)である。このようにセラミック基板に対しても低温化・低加圧化が可能である。

【0037】なお、以上説明した実施の形態において、

第1の実施の形態では、テープ2にプラズマ照射、第2の実施の形態ではセラミック16にUVを照射したが、それぞれテープ2にUV、セラミック16にプラズマを照射しても同様な効果が得られる。

【0038】また、プラズマ、UVの照射は、テープやセラミックなどの基板だけでなく、半導体チップのバンプにも照射し表面浄化することでバンプに付着したNiの酸化物や水酸化物と有機物などの汚染物質を除去しても良い。

【0039】上記実施の形態の場合、フリップチップ接続時の低温化、低加圧化、処理時間の短縮の効果が十分に得られるが、基板と半導体チップを接合する工程の前に、プラズマ処理装置から基板と半導体チップを出して大気中に戻した場合、C(炭素)とO(酸素)が再付着して、接続品質を低下させる場合がある。

【0040】次に説明する本発明の第3の実施の形態の製造方法および製造装置によって、そのような問題が解決され、フリップチップ接続品質の一層の向上が図れる。

【0041】図14は第3の実施の形態に使用する半導体装置製造装置を示す図、図15(a)は半導体チップ、(b)は基板を示す断面図、図16は半導体チップを基板にフリップチップ実装した後の半導体装置を示す断面図である。

【0042】図15(a)を参照すると、半導体チップ20は、接続用として接続パッド21が配置され、それにAuワイヤーのボンディングでAuバンプ22を接続パッド4上に形成したものである。図15(b)において、基板23には表面をAu膜でコーティングしたAuパッドが形成されている。

【0043】図14において、製造装置は、装置の外枠30と、半導体チップ20を実装する基板23を搬送する基板搬送レール40と、基板23にプラズマを照射するプラズマ反応容器50と、プラズマが照射された基板23上に半導体チップ20を搭載するマウント接続部60と、半導体チップ20を供給する半導体チップ供給部70とを有する。外枠30は密閉され空気が内部に混入しないように構成されており、不活性ガスが充填されている。

【0044】プラズマ反応容器50は、水平方向に開閉可能な扉51を有し、プラズマ反応中は反応部52を密閉して閉じるようになっている。

【0045】基板搬送レール40は、プラズマ反応容器50とマウント接続部60に対応する位置にワーク移動テーブル41、42が来るように、各ワーク移動テーブルが所定の間隔で設けられている。

【0046】最初、ワーク移動テーブル41上の基板23は、接続パッド24の表面処理部に酸化物/水酸化物/有機物などの汚染物質で被われているため、プラズマ反応容器50の反応部52を使用して表面清浄化処理を

行う。反応前では、図示しない昇降機構によりワーク移動テーブル41上の基板23を反応部52へ移動する。

【0047】プラズマ反応容器内に使用するガスとしては、アルゴンや酸素、水素などを使用することで、接続パッド24の表面処理部のフレッシュな面が表れる。

【0048】プラズマ処理条件の1例としては、RFパワー：400W、アルゴンガス：20CC/min、処理時間：5分、真空度：10Paである。

【0049】プラズマ処理のあと、基板23は、反応部52からワーク移動テーブルに戻され、不活性雰囲気の状態でもウント接続部60へ搬送する。この間の基板23の放置時間は、不活性雰囲気中の酸素濃度や水分濃度に依存するが、1時間以内が望ましい。

【0050】マウント接続部60は、接続パッド24とAuバンプ22を合わせて、接続を行う。マウント接続部60は、前述した図2、図3あるいは図11、図12に示す工程と同様に、基板23上に半導体チップ20を位置決めした後、熱を加えながら圧力をかけてフリップフロップ実装する。

【0051】そのときの温度条件としては、半導体チップ20を加熱するツール（図3のコレット12に相当）のツール温度が300℃以下、基板23を搭載するステージ（図3のステージ11に相当）のステージ温度が200℃以下で十分な接続ができる。

【0052】このように、図14の製造装置は、内部に基板をプラズマの照射によって表面清浄化するプラズマ反応容器50を有し、外枠内部全体を不活性ガス、主に窒素やヘリウムを充填することで基板23のパッド24のAu膜表面ならびに半導体チップ20のAuバンプ22が再汚染することなく、安定した接続が可能となる。

【0053】本発明の他の実施の形態として、Auバンプ2と接続端子パッドの表面の材料としてAuの代わりにCuを用いることもできる。Cuは酸化が著しいので、プラズマ処理による清浄化は有効であり、また、大気中に曝さないようにすることが大事である。

【0054】また、第3の実施の形態において、プラズマ照射の代わりにUV照射を実行しても良い。

【0055】

【発明の効果】以上説明したように、基板の接続パッドまたは基板のパッドと半導体チップのバンプ両方にプラズマまたはUVを照射して表面清浄化するので、第1の効果は、半導体チップに対する組立温度が低くなり、電気的特性の劣化や不安定さがなくなる。また、半導体チップと基板との接続部分のクラックが皆無となり、長期信頼性が確保できる。

【0056】その理由は、プラズマまたはUV照射後の接続温度を300℃以下に設定出来ることである。

【0057】第2の効果は、本発明の製造装置により接続パッドの汚染物を除去した状態を保つことが可能で、

接続の品質が安定化する。

【0058】その理由は、プラズマ処理のあと、空気中にさらされないで次のマウント接続が同一の装置内で出来るからである。

【図面の簡単な説明】

【図1】（a）は本発明の第1の実施の形態における製造方法において基板であるテープにプラズマを照射する工程を示す断面図、（b）は半導体チップを示す断面図である。

【図2】本発明の第1の実施の形態における製造方法において半導体チップをテープに位置決めする工程を示す断面図である。

【図3】半導体チップをテープに接合する工程を示す断面図である。

【図4】半導体チップをテープに接合後に封止樹脂を供給する工程を示す断面図である。

【図5】封止樹脂の硬化後にはんだボールを形成する工程を示す断面図である。

【図6】本発明の第1の実施の形態における製造方法により完成した半導体装置を示す断面図である。

【図7】縦軸に接合強度（ダイシェア強度）、横軸に圧着条件をとり、プラズマ処理の有無での比較を行ったグラフ図である。

【図8】プラズマ処理をした場合にテープのパッド表面をオージェ分析した結果を表したグラフである。

【図9】プラズマ処理をしていない場合にテープのパッド表面をオージェ分析した結果を表したグラフである。

【図10】（a）は本発明の第2の実施の形態における製造方法において基板であるセラミックにプラズマを照射する工程を示す断面図、（b）は半導体チップを示す断面図である。

【図11】本発明の第2の実施の形態における製造方法において半導体チップをセラミックの基板に位置決めする工程を示す断面図である。

【図12】半導体チップをセラミックの基板に接合する工程を示す断面図である。

【図13】半導体チップをセラミックの基板に接合後に封止樹脂を供給して半導体装置を完成する工程を示す断面図である。

【図14】本発明の第3の実施の形態における製造装置を示す概略断面図である。

【図15】（a）は本発明の第3の実施の形態における半導体チップ、（b）は基板を示す断面図である。

【図16】図14の製造装置によって図15（a）の半導体チップを（b）の基板にフリップチップ実装した後の半導体装置を示す断面図である。

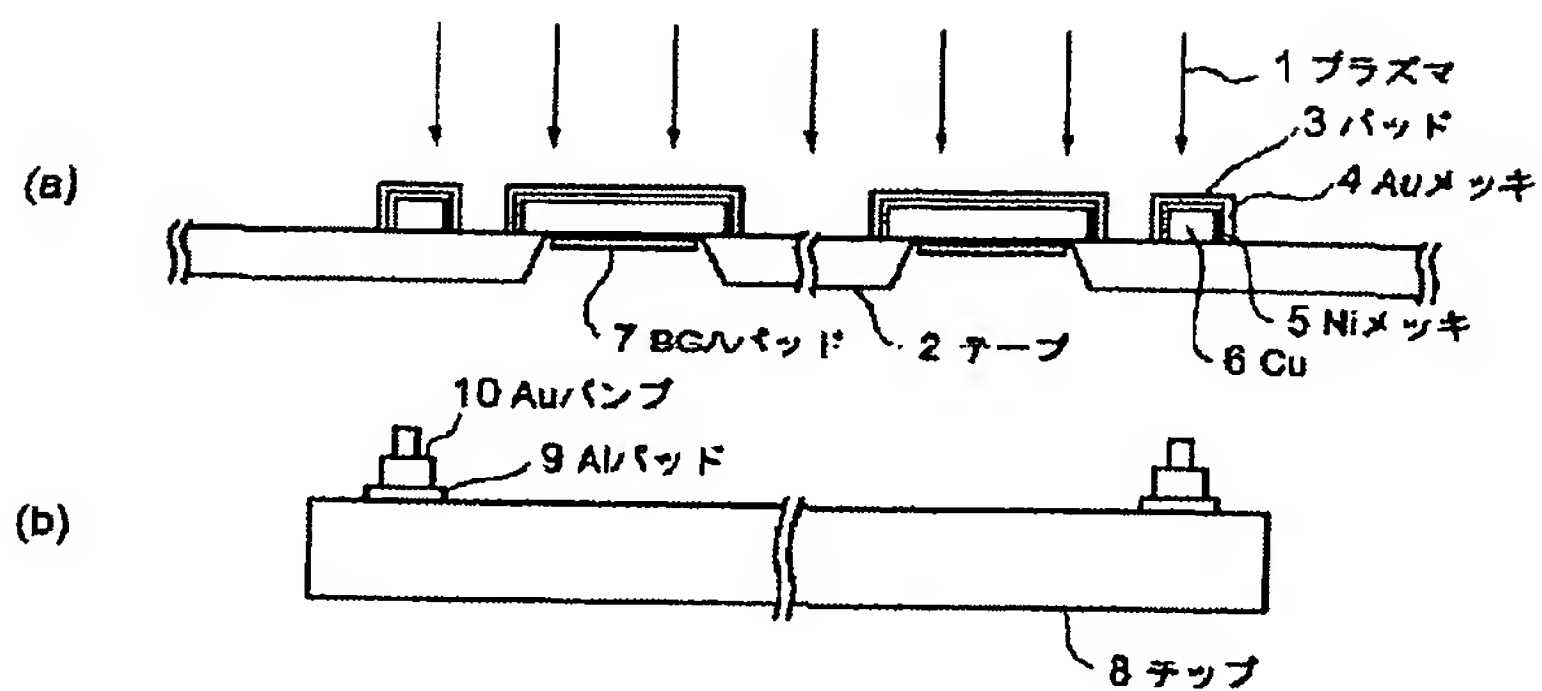
【符号の説明】

- 1 プラズマ
- 2 テープ
- 3 パッド

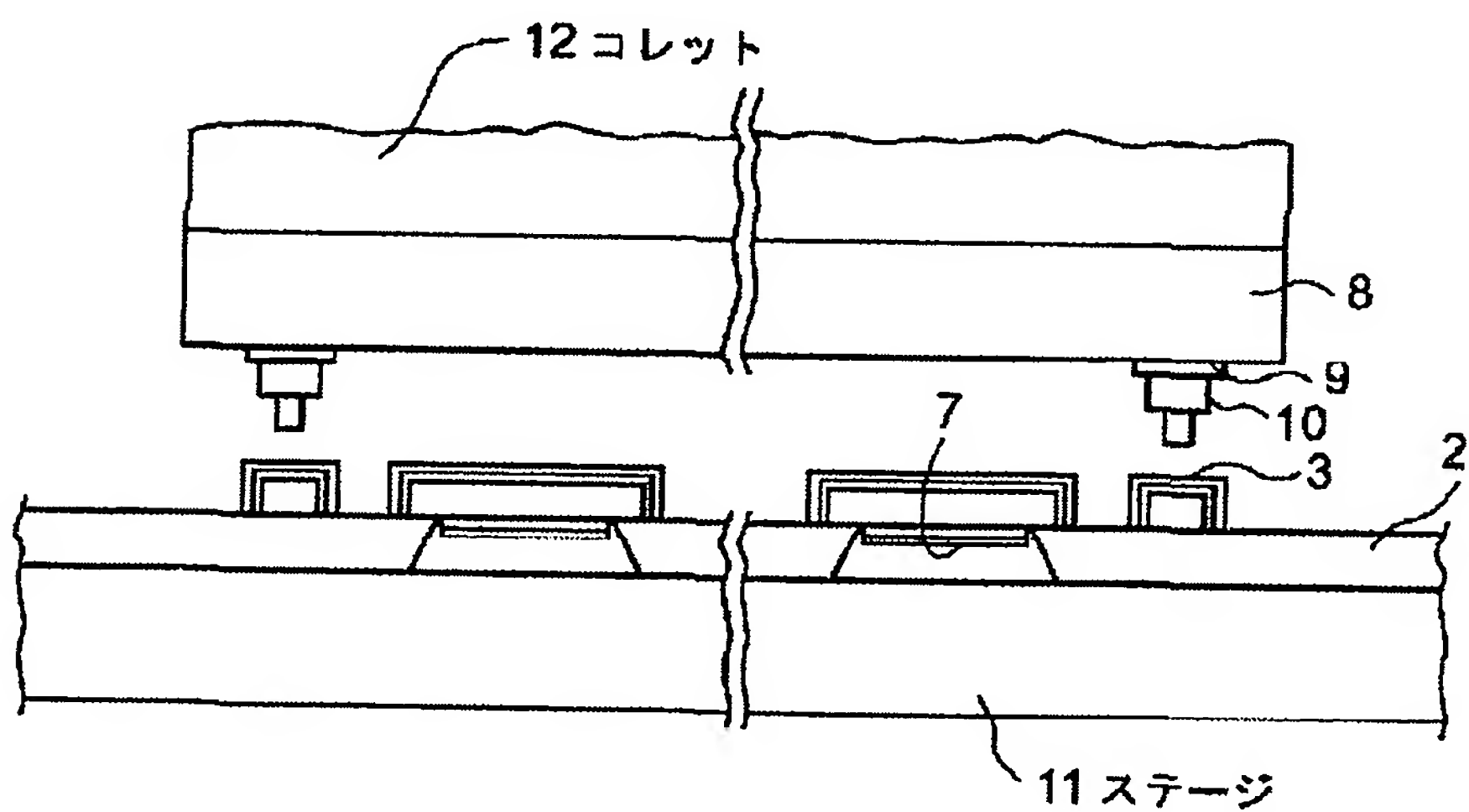
- 4 Auメッキ
- 5 Niメッキ
- 6 Cu
- 7 BGAパッド

- 8 チップ
- 9 Alパッド
- 10 Auバンブ

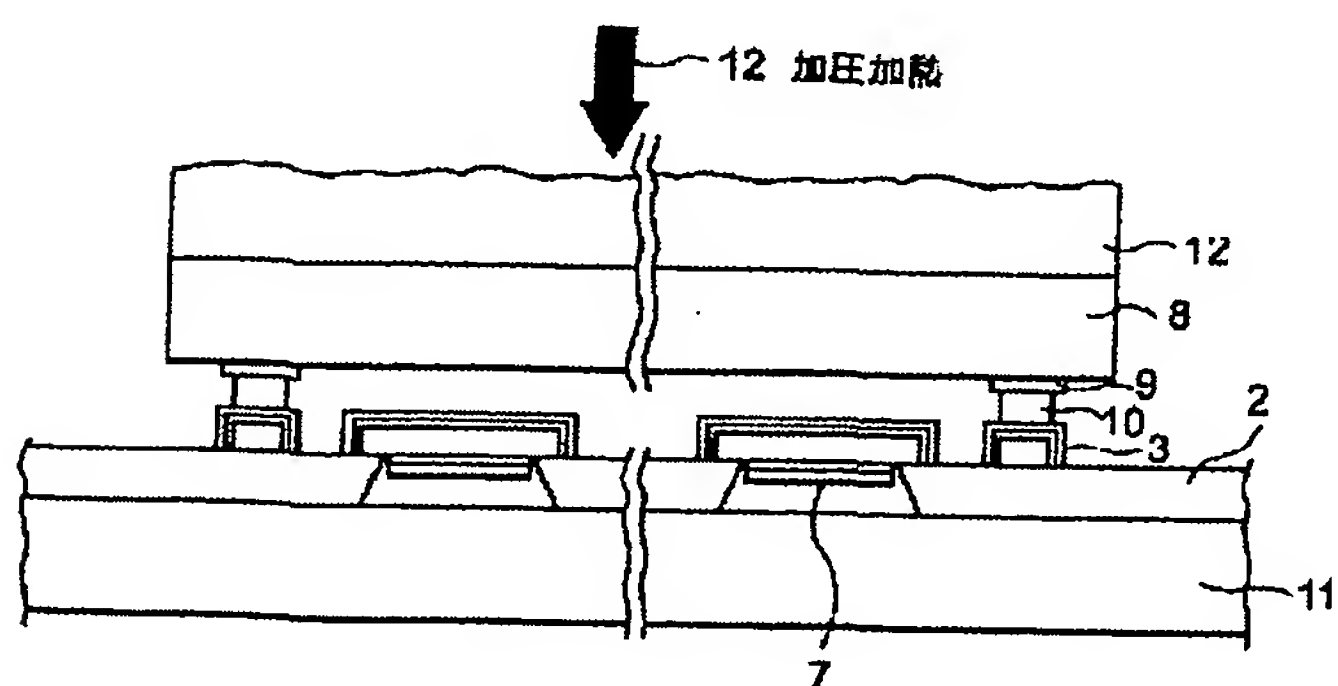
【図1】



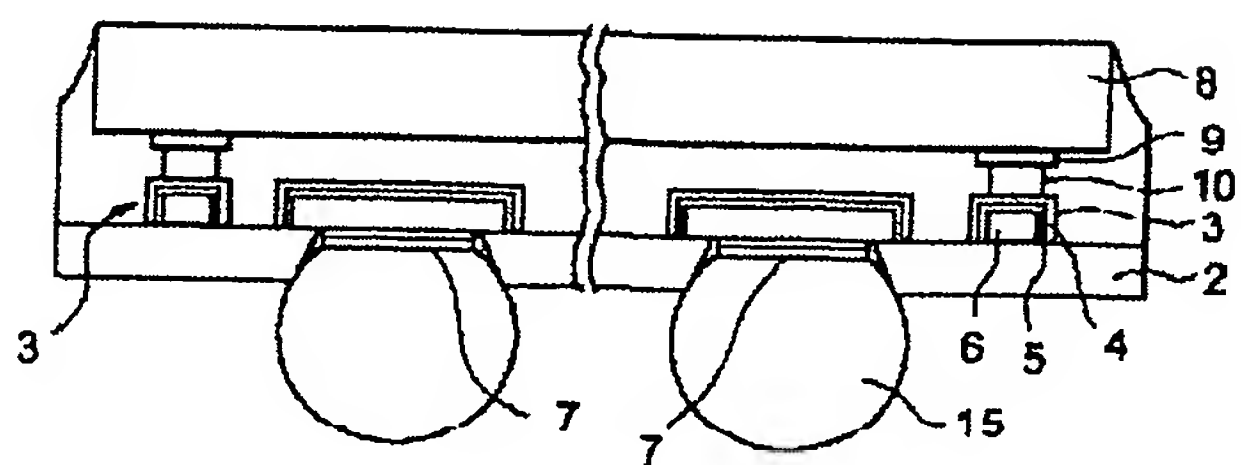
【図2】



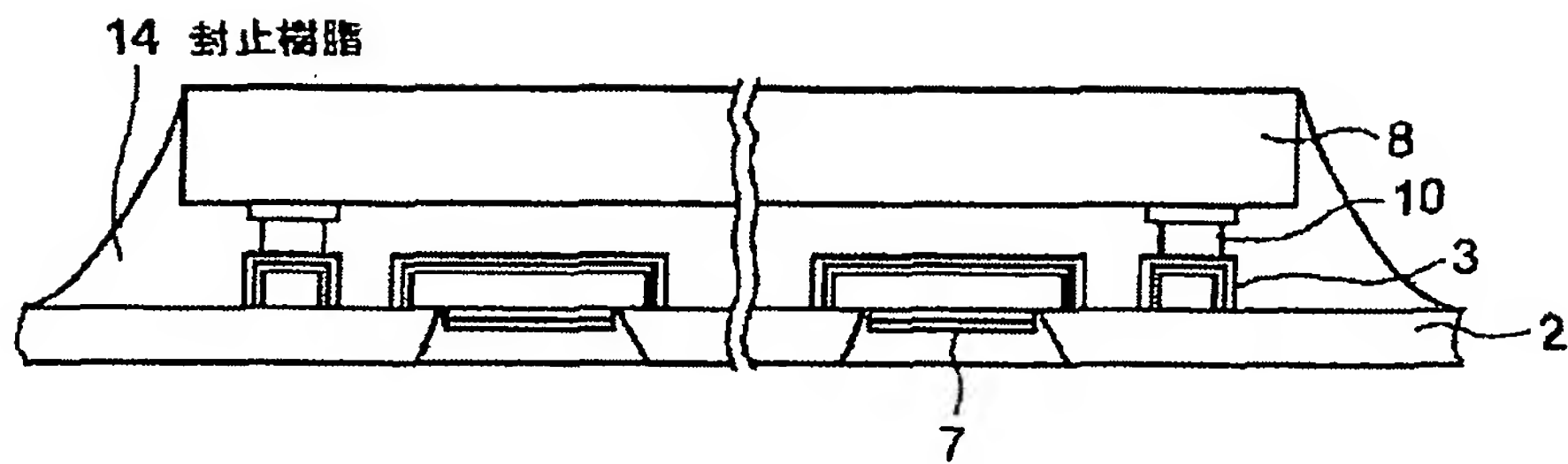
【図3】



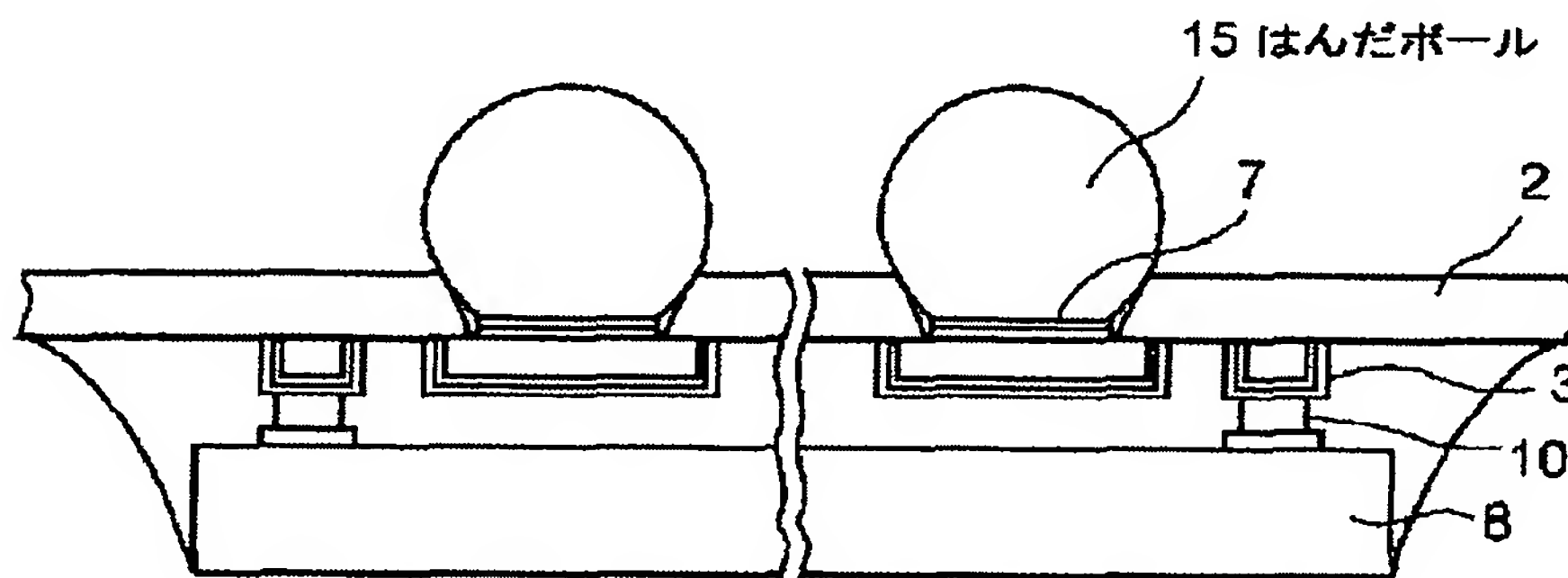
【図6】



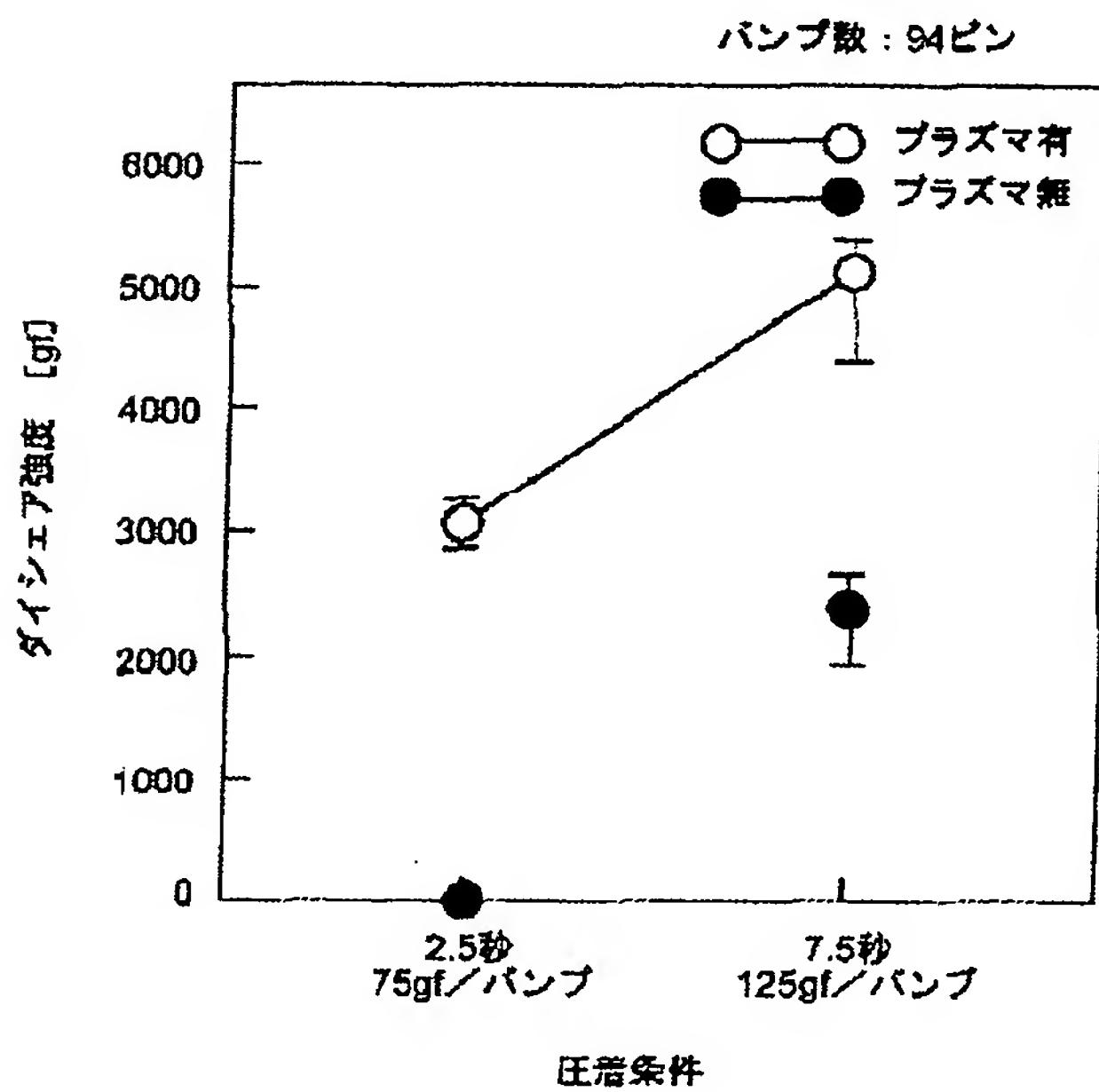
【図4】



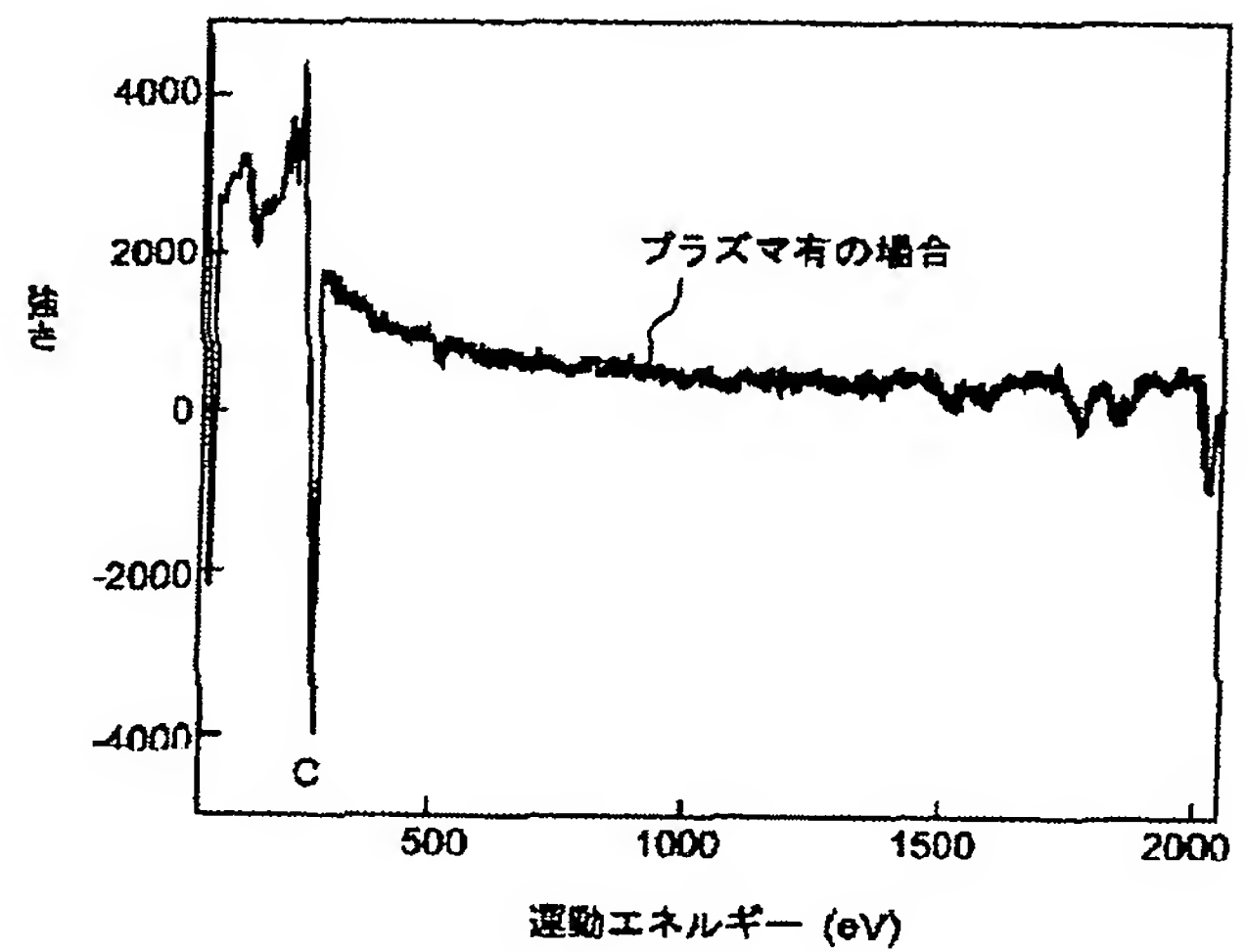
【図5】



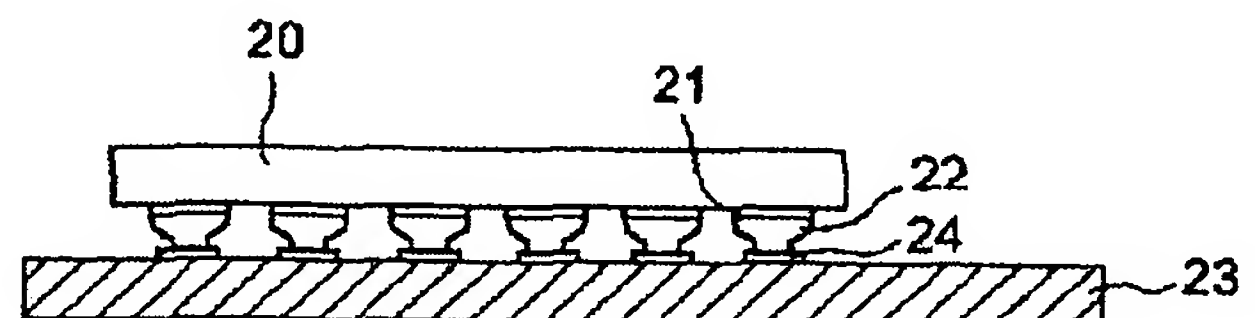
【図7】



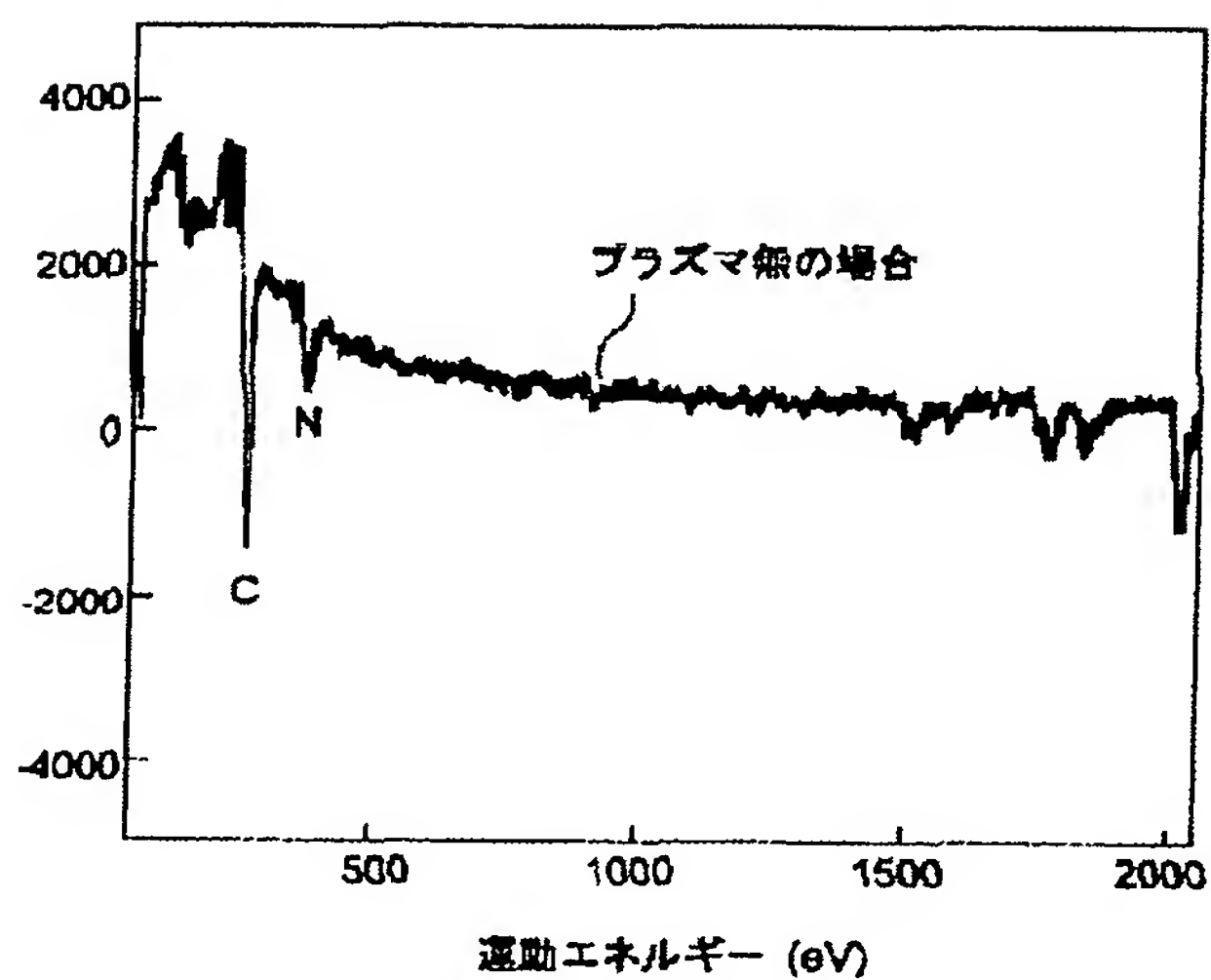
【図8】



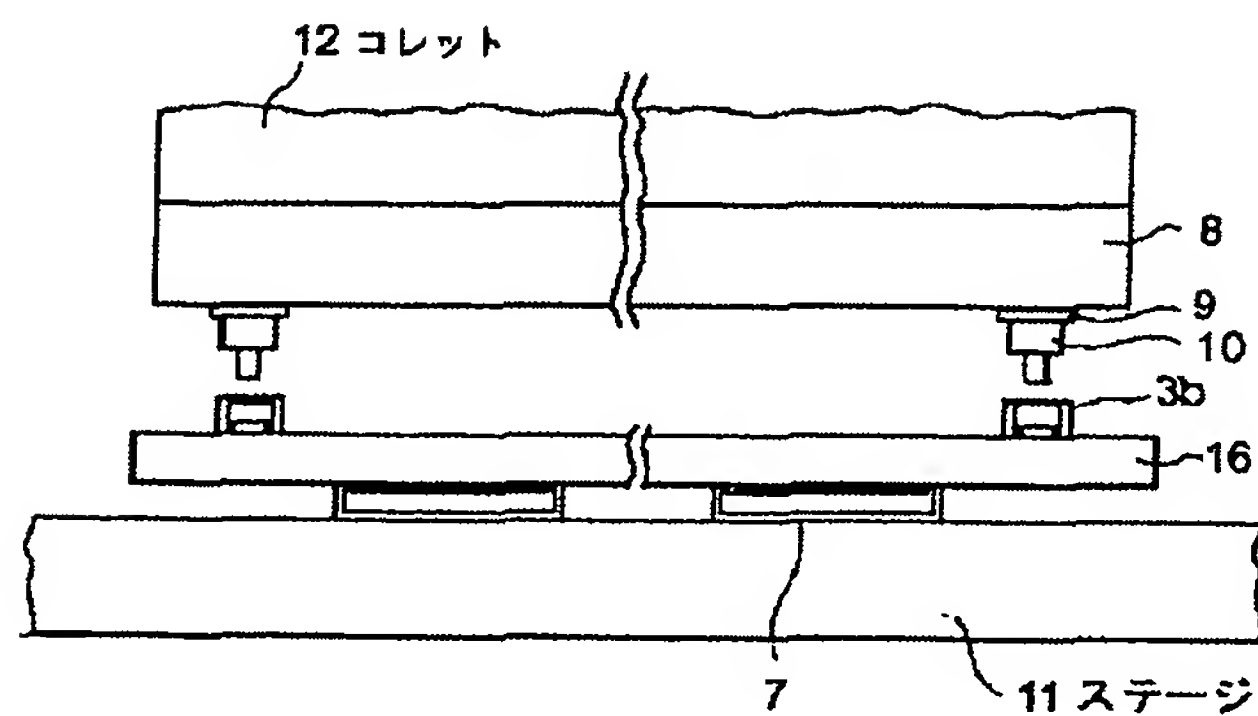
【図16】



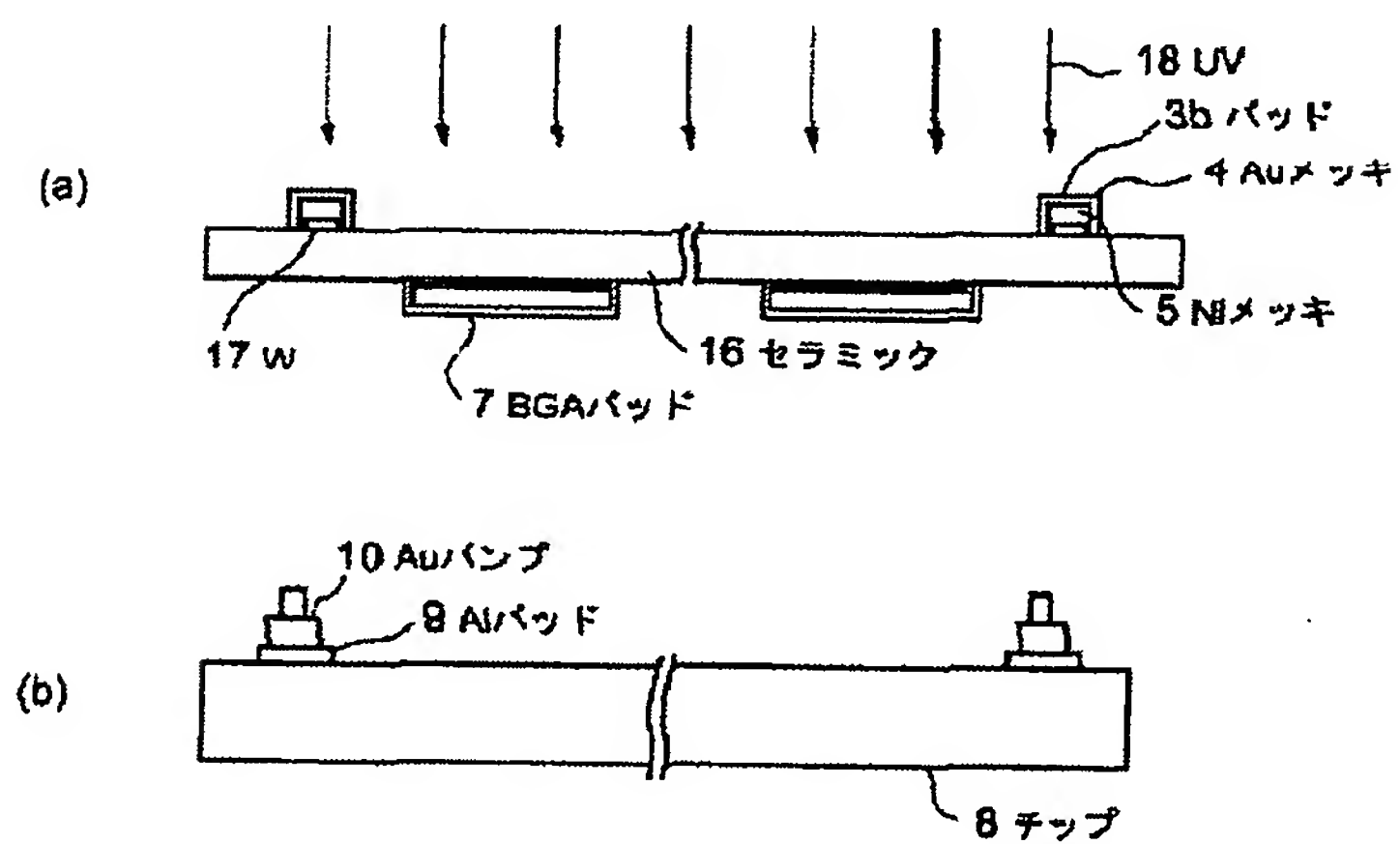
【図9】



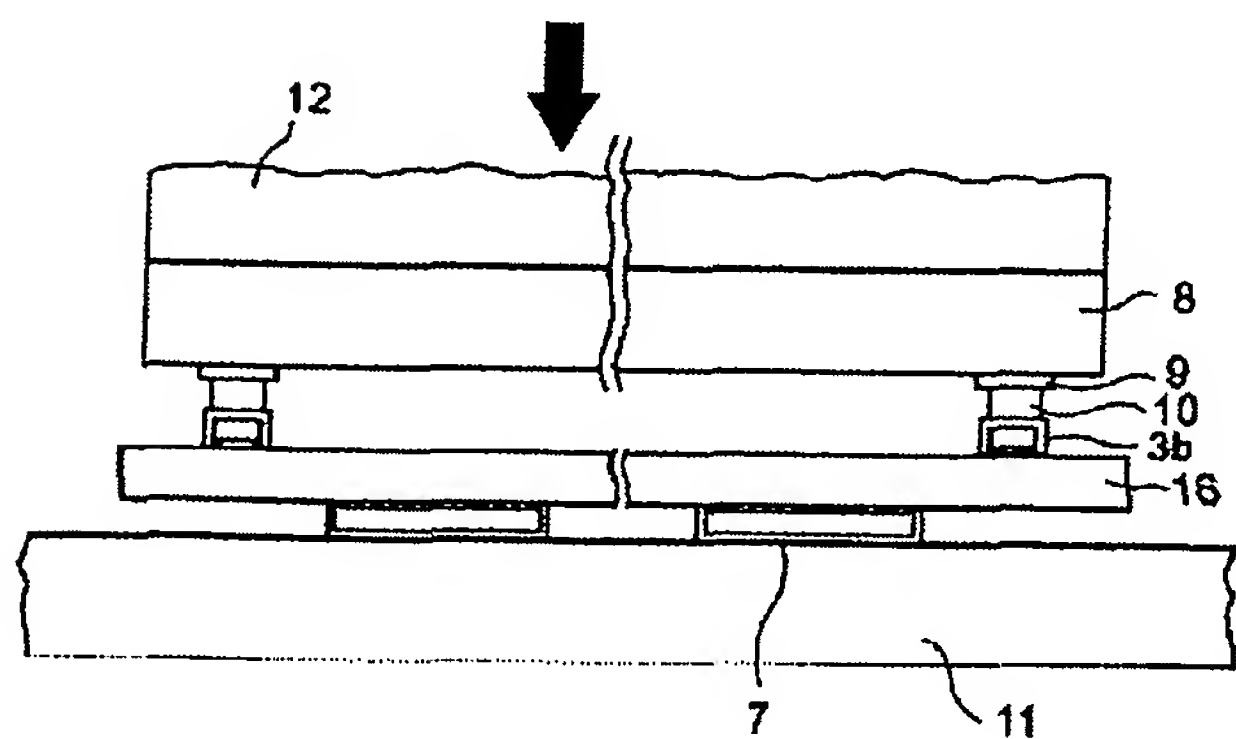
【図11】



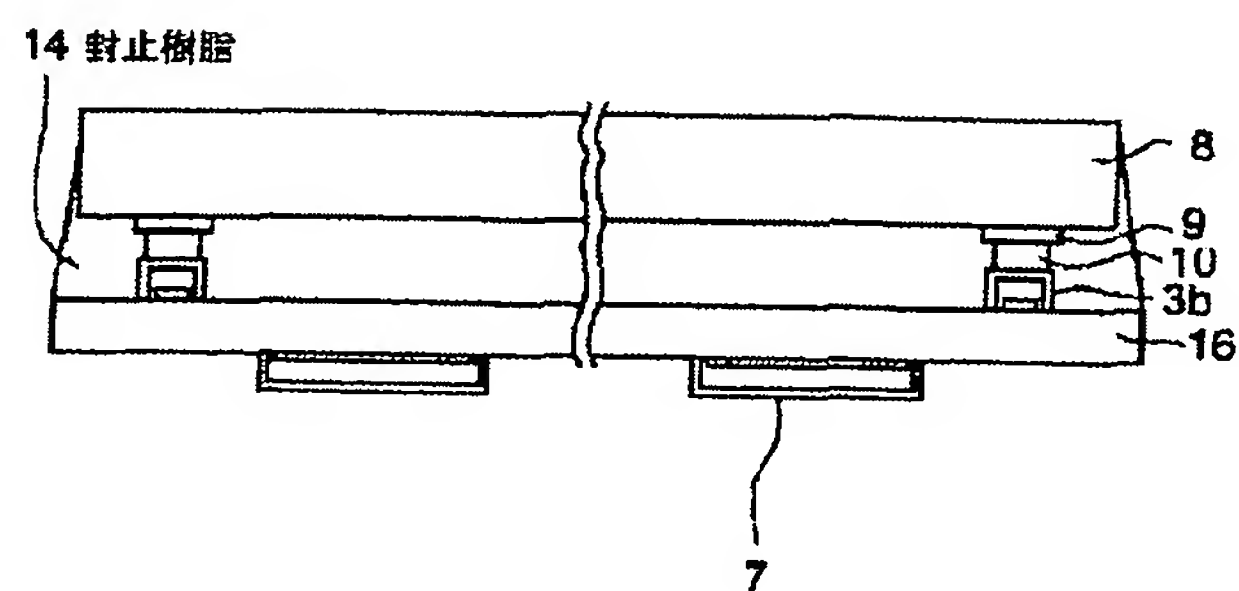
【図10】



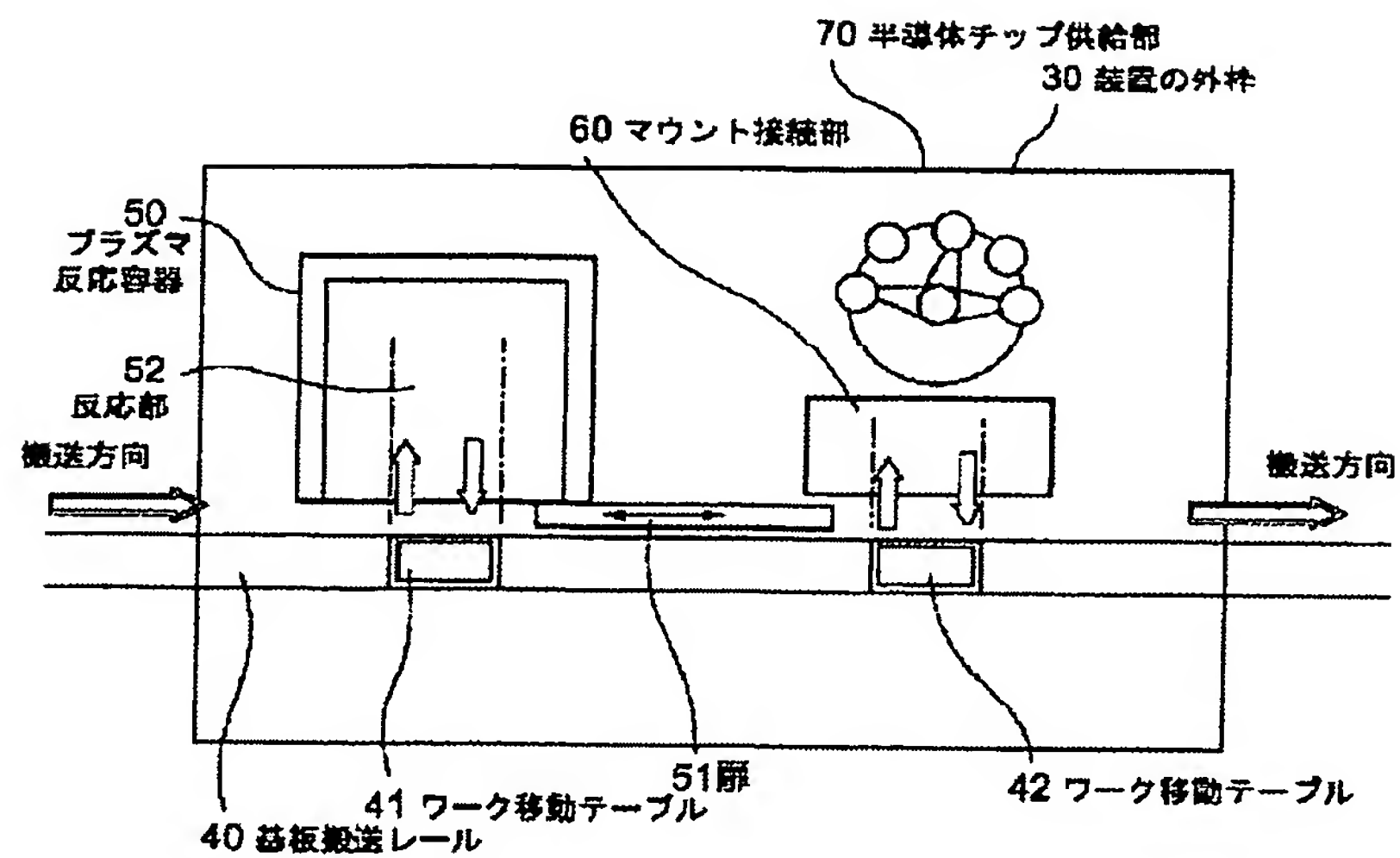
【図12】



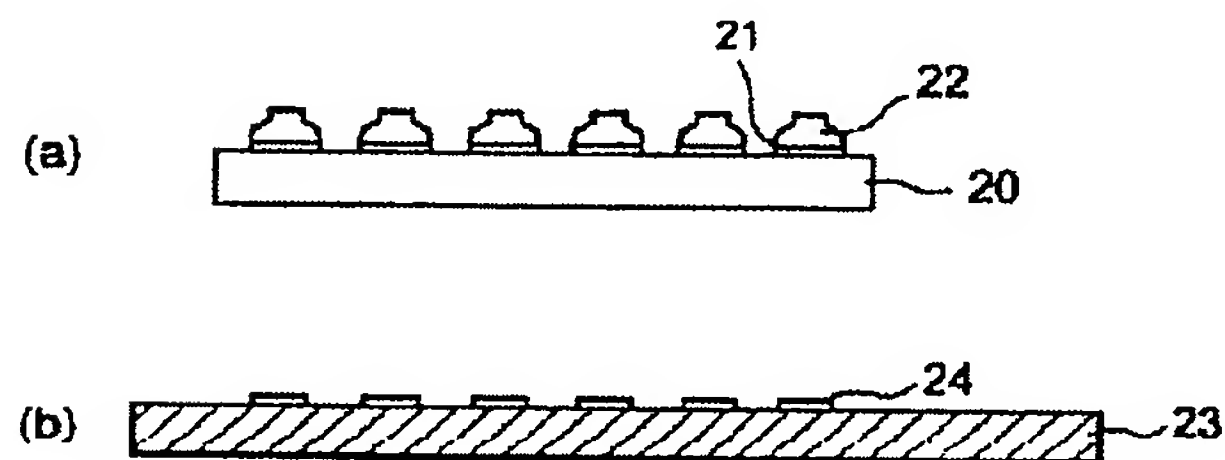
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 橋本 克正
東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5F004 AA13 AA14 BA20 BB02 DA23
DB08 EB02 FA04
5F044 KK03 KK04 KK11 LL01 LL04
QQ03 QQ04

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-138255

(43)Date of publication of application : 16.05.2000

(51)Int.Cl.

H01L 21/60

H01L 21/3065

(21)Application number : 10-308432

(71)Applicant : NEC CORP

(22)Date of filing : 29.10.1998

(72)Inventor : KIMURA TAKEHIRO

ISOZAKI SEIYA

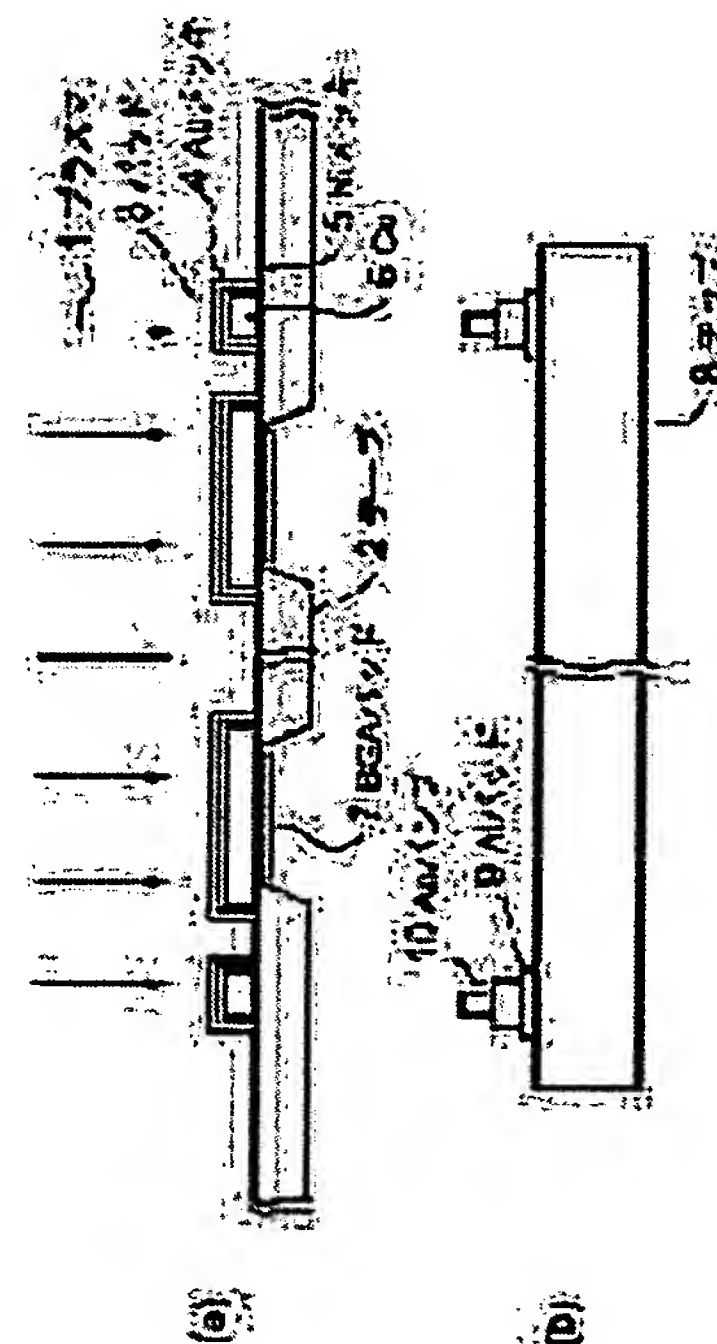
HASHIMOTO KATSUMASA

(54) METHOD AND SYSTEM FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To subject the gold bumps of a chip and the pads of a substrate to thermocompression bonding at a low temperature in a short time by removing organic impurities on the pads of the substrate through dry process cleaning.

SOLUTION: A tape 2 provided with pads 3 and ball grid array pads BGA 7 is prepared and irradiated on the pad 3 side thereof, with a plasma 1 in order to remove organic impurities adhering to the surface of Au plating 4 of the pad 3. Au bumps 10 are then formed on a semiconductor chip 8. Subsequently, the semiconductor chip 8 is inverted, and the Au bumps 10 are aligned with the pads 3 of the tape 2 before being hot pressed subjected to thermocompression bonding. Since organic impurities on the surface of the bump 10 or the Au plating 4 of the pad 3 are removed through the irradiating of the pad 3 side of the tape 2 with plasma 1, the bumps 10 of the chip 8 and the pads 3 of the tape 2 can be hot pressed, at low temperature, in a short time and under low pressure.



LEGAL STATUS

[Date of request for examination]

29.10.1998

[Date of sending the examiner's decision of rejection] 27.02.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by removing the organic system impurity on the connection pad of said substrate by the cleaning treatment by the dry process before connection in the manufacture approach of a semiconductor device of having the structure to which flip chip bonding of a semiconductor chip and the substrate was carried out.

[Claim 2] The manufacture approach of the semiconductor device characterized by removing the organic system impurity on the connection pad of said substrate, and the bump of said semiconductor chip by the cleaning treatment by the dry process before connection in the manufacture approach of a semiconductor device of having the structure to which flip chip bonding of a semiconductor chip and the substrate was carried out.

[Claim 3] The cleaning treatment by said dry process is the manufacture approach of the semiconductor device according to claim 1 or 2 characterized by being a plasma exposure process.

[Claim 4] The cleaning treatment by said dry process is the manufacture approach of the semiconductor device according to claim 1 or 2 characterized by being a UV irradiation process.

[Claim 5] The manufacture approach of the semiconductor device characterized by for the cleaning treatment by the dry process removing the organic system impurity on the connection pad of said substrate, and carrying out flip chip bonding of said semiconductor chip and said substrate in the ambient atmosphere of inert gas before connection in the manufacture approach of a semiconductor device of having the structure to which flip chip bonding of a semiconductor chip and the substrate was carried out.

[Claim 6] The cleaning treatment by said dry process is the manufacture approach of the semiconductor device according to claim 5 characterized by being a plasma exposure process.

[Claim 7] The cleaning treatment by said dry process is the manufacture approach of the semiconductor device according to claim 6 characterized by being a UV irradiation process.

[Claim 8] The manufacturing installation of the semiconductor device characterized by shutting up the connector to which flip chip bonding of the plasma reactor from which the organic system impurity on the connection pad of said substrate is removed by plasma exposure processing before connection, said semiconductor chip, and said substrate is carried out in the manufacturing installation of a semiconductor device which has the structure to which flip chip bonding of a semiconductor chip and the substrate was carried out into the ambient atmosphere of inert gas.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to amelioration of the manufacture approach which carries out flip chip bonding of the semiconductor chip to a substrate, and the manufacturing installation for it about the manufacture approach of a semiconductor device, and a manufacturing installation.

[0002]

[Description of the Prior Art] When carrying out flip chip bonding of the semiconductor chip to a substrate conventionally, the bump of the letter of a projection is formed on the electrode pad of a semiconductor chip, and the approach of pressurizing and connecting is used, carrying out alignment of the bump to the electrode pad on a substrate, and heating her.

[0003]

[Problem(s) to be Solved by the Invention] since an organic system impurity tends to adhere to the electrode pad front face of a substrate in the manufacture process of this conventional semiconductor device -- that effect -- an elevated temperature (more than 400-degreeC), long duration, and the high one -- when it was not conditions [****], the electrode pad of the bump of a semiconductor chip and a substrate did not join good, but there was a trouble that the alumina of high thermal resistance, a glass ceramic, etc. could use only an inorganic substrate by heat-resistant constraint of a substrate.

[0004] Moreover, if mounting temperature works above 400 degrees C, the establishment which a degradation phenomenon generates in the electrical property of a semiconductor chip, and a crack generates in the connection of a semiconductor chip and a substrate after about [becoming a dependability top problem] and flip chip bonding will be about 40%, and will pose a problem at an after process.

[0005] The object of this invention is in the flip chip bonding of a semiconductor chip and a substrate to offer the manufacture approach of a semiconductor device and manufacturing installation which can make low whenever [stoving temperature / at the time of flip chip bonding], without being influenced of organic impurities.

[0006]

[Means for Solving the Problem] The manufacture approach of the semiconductor device of this invention makes it possible to carry out thermocompression bonding of the pad of a substrate to Au bump of a chip in low temperature and a short time in the manufacture approach of a semiconductor device of having the structure to which flip chip bonding of a semiconductor chip and the substrate was carried out, by removing the organic system impurity on the pad of a substrate by the cleaning treatment by the dry process.

[0007] By the manufacture approach of the semiconductor device of this invention, the plasma or ultraviolet rays is irradiated at a substrate, and thermocompression bonding of the bump of the chip in low temperature, a short time, and low application of pressure and the pad of a substrate is made possible by removing the organic system impurity on the front face of Au plating of a bump and a pad. Thereby, since not only the thing of the high temperature-process nature of an inorganic system but an organic system substrate can be used for substrate construction material, it can carry out [low cost]-izing. Moreover, since thermocompression bonding can be carried out for a short time, productivity improves.

[0008] Moreover, in order for bonding strength to also improve, a highly reliable semiconductor device is obtained

[0009] Furthermore, when another trouble activates the electrode pad front face of a substrate, and it takes out from

plasma treatment equipment and returns into atmospheric air, C (carbon) and O (oxygen) carry out the reattachment of it, and it has the problem on which a switching performance is reduced.

[0010] In the manufacture approach of a semiconductor device, this removes the organic system impurity on the connection pad of said substrate by the cleaning treatment by the dry process before connection, and is solved by the manufacture approach to which flip chip bonding of said semiconductor chip and said substrate is carried out in the ambient atmosphere of inert gas.

[0011] The manufacturing installation of the semiconductor device which furthermore gets twisted in this invention is characterized by shutting up the connector which carries out flip chip bonding of the plasma reactor from which the organic system impurity on the connection pad of said substrate is removed by plasma exposure processing, said semiconductor chip, and said substrate before connection into the ambient atmosphere of inert gas.

[0012]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0013] Drawing 1 to drawing 6 is the sectional view showing the semiconductor device manufacture approach of the gestalt operation of the 1st of this invention, among these drawing 6 shows the semiconductor device manufactured eventually.

[0014] In drawing 6, the flexible tape (it is only hereafter called a tape for short) 2 of a forming [the circuit pattern insulator is used as a substrate, and the semiconductor device mounts the semiconductor chip 8.

[0015] The ball grid array (BGA) pad (connection pad) 7 is formed in the location in which the pad (connection pad) 3 connected to a semiconductor chip 8 is formed in one side (semiconductor chip 8 side) of a tape 2, and the solder ball 15 is formed. The solder ball 15 is connected to the mother board which is not illustrated.

[0016] A pad 3 performs nickel (nickel) plating 5 to copper (Cu) 6, and performs golden (Au) plating 4 to a pad on

[0017] A semiconductor chip 8 has the aluminum (aluminum) pad 9 as an electrode, and is connected to the pad 3 of a tape 2 through the Au bump 10 on the pad.

[0018] The manufacture approach of this semiconductor device is explained with reference to drawing 6 from drawing 1 below.

[0019] If an approximate account is carried out about the manufacture approach, as first shown in drawing 1 (a) The process which removes the organic system impurity which prepared the tape 2 which formed the pad 3 and the BGA pad 7, irradiated the plasma 1 at the pad 3 side of a tape 2, and adhered to the front face of the Au plating 4 of a pad 3, Next, the process which forms the Au bump 10 in a semiconductor chip 8 (drawing 1 (b)), Subsequently, the process which reverses a semiconductor chip 8 and carries out alignment of the pad 3 of a tape 2 to the Au bump 10 (drawing 2), The process (drawing 3) which carries out thermocompression bonding of the pad 3 to the Au bump 10, and the process to which the gap of a semiconductor chip 8 and a tape 2 is made to slush and carry out heat hardening of the closure resin 14 (drawing 4), Furthermore, the solder ball 15 is formed on the BGA pad 7 (drawing 5), and it has the process (drawing 6) which obtains CSP (chip-size package) by cutting the side of a chip 8.

[0020] The manufacture approach is further explained to a detail below. As shown in drawing 1 (a), the plasma 1 is irradiated with the plasma treatment equipment which is not illustrated on a tape 2, and the organic system impurity of the front face of the Au plating 4 of a pad 3 is removed. For the conditions of the plasma treatment at this time, 50ml a part (a part for activity range/of 10-100ml) for /and vacuum pressure of Ar quantities of gas flow are 65mTorr (s) (usually 50 - 500mTorr) and RF. Power 400W (usually 50-500W) and the processing time were made into 180 seconds (usually 60 - 300 seconds). [Usually] Moreover, thickness of the Au plating 4 at this time was set to 1 micrometer (Au plating thickness is usually about 0.03-2 micrometers).

[0021] On the other hand, as shown in drawing 1 (b), a semiconductor chip 8 forms the Au bump 10 by the ball bonding method on the aluminum pad 9. In case the Au bump 10 is formed at this time, although the ball bonding method was adopted, there is also an approach using plating and others. Moreover, the aluminum pad 9 of a semiconductor chip 8 can also use the ingredient of Cu and others.

[0022] Next, the tape 2 and location which irradiated the plasma 1 which reversed the semiconductor chip 8 in which the Au bump 10 was formed, stuck to the collet 12, and was placed on the stage 11 as shown in drawing 2 are doubled, as shown in drawing 3 after that, application-of-pressure heating 13 is performed and thermocompression

bonding of the pad 3 of a tape 2 is carried out to the Au bump 10 of a chip 8.

[0023] The thermocompression bonding conditions at this time are welding pressure 75 - 125gf / bump for the temperature of 70 degrees C of a stage 11, the temperature of 300 degrees C of a collet 12, and heating application-of-pressure time amount 2.5 to 7.5 seconds. It becomes possible by irradiating the plasma 1 to make whenever [stoving temperature] low and to shorten heating application-of-pressure time amount.

[0024] Then, as shown in drawing 4, closure resin 14 is slushed and heated in the gap of a tape 2 and a semiconductor chip 8, and closure resin 14 is stiffened.

[0025] Next, as shown in drawing 5, the solder ball 15 is formed on the BGA pad 7 of a tape 2, from a chip size, 0.5mm, a dicer cuts greatly and the semiconductor device of drawing 6 is completed. Although a solder ball is formed in a BGA pad at this time, that ingredient may not be formed using the eutectic solder of PbSn, or other ingredients. Moreover, although cutting used the dicer, it may be pierced, and others are sufficient as it. Moreover, the magnitude to cut should just be more than a chip size.

[0026] Drawing 7 is the graphical representation which bonding strength (die share reinforcement) was taken along the axis of ordinate, it took sticking-by-pressure conditions along the axis of abscissa, and performed the comparison by the existence of plasma treatment. Whenever [stoving temperature] was made into 300 degrees C, and if he had no plasma treatment at the time of sticking-by-pressure time amount 2.5-second welding-pressure 75gf / bump, in the case where plasma treatment is carried out to the Au bump 10 of a semiconductor chip 8 and the pad 3 of a tape 2 is being stuck by pressure as shown in drawing 1 (a), the bonding strength (die share reinforcement) of about 3100 gf was obtained (when a chip with a 94-piece Au bump is used).

[0027] Moreover, for 7.5 seconds, in the case of the conditions of 125gf / bump, when plasma treatment is carried out to die share reinforcement being about 2500 gf(s) without plasma treatment, it is set to about 5100 gf(s), and twice [more than] as many bonding strength as this is obtained.

[0028] thus -- the case where plasma treatment is carried out -- ***, as compared with a case, bonding strength increases substantially.

[0029] Drawing 8 and drawing 9 are the graphs showing the result of having carried out Auger analysis of the pad front face of a tape 2. An axis of abscissa is kinetic energy and an axis of ordinate is strength. When drawing 8 carries out plasma treatment, drawing 9 is the case where plasma treatment has not been carried out. To nitrogen (N) being detected in drawing 9 which has not carried out plasma treatment, after performing plasma treatment, N is not detected by drawing 8 which carried out Auger analysis. Since N is contained in the construction material PI of a tape 2 (polyimide), it is considered that PI adhered in the production process.

[0030] Moreover, although the way of the Auger-analysis result after plasma treatment is increasing carbon (C), it is presumed that the impurity in air (or gas constituents containing C) sticks to this on Au front face defecated once. (The impurity which adhered in next does not affect sticking by pressure so much) The effectiveness of plasma treatment can be checked also from an Auger-analysis result in this way.

[0031] Since the organic system impurity of Au plating front face can be removed by giving the plasma to a tape 2, in case a semiconductor device is manufactured by flip chip bonding as mentioned above, sticking by pressure of low temperature, a short time, and low application of pressure is attained. Thereby, since not only the thing of the high temperature-proof nature of an inorganic system but an organic system substrate can be used for substrate construction material, it can carry out [low cost]-izing. Moreover, since thermocompression bonding can be carried out for a short time, productivity improves. Moreover, in order for bonding strength to also improve, a highly reliable semiconductor device is obtained.

[0032] Drawing 10 to drawing 13 is the sectional view showing the semiconductor device manufacture approach of the gestalt operation of the 2nd of this invention. In the semiconductor device of the gestalt of this operation, the ceramic 16 was used for the substrate instead of the tape. Ultraviolet rays (UV) are irradiated by drawing 10 (a) at the ceramic 16. The UV irradiation conditions at this time are Power 12mW/square cm (usually activity range cm of 1-100mW/square), and irradiation time 180 seconds (usually 10 - 300 seconds).

[0033] Next, as shown in drawing 10 (b), the Au bump 10 is formed on the aluminum pad 9 of a semiconductor chip 8. Subsequently, as a semiconductor chip 8 is reversed and alignment of the pad 3b of a ceramic 16 is carried out to the Au bump 10, as shown in drawing 11, and shown in drawing 12 after that, heating application of pressure is carried out and thermocompression bonding is performed.

[0034] The conditions of thermocompression bonding were made into stage temperature [of 70 degrees C], collet

temperature [of 270 degrees C], welding-pressure 75gf / bump, and application-of-pressure heating time 2.5 seconds (conventionally, UV irradiation is not carried out but the conditions which were being stuck by pressure at stage temperature [of 70 degrees C], collet temperature [of 400 degrees C], welding-pressure 125gf / bump, and application-of-pressure heating time 15 seconds).

[0035] As finally shown in drawing 13, the gap of a ceramic 16 and a semiconductor chip 8 is made to slush and carry out heat hardening of the closure resin, and a semiconductor device is completed.

[0036] The rate of a connection excellent article of the Au bump 10 of the semiconductor chip 8 at this time and part 3b of a ceramic 16 is 100% (connection inspection point size: 2080p). Thus, low-temperature-izing and the reduction in application of pressure are possible also to a ceramic substrate.

[0037] In addition, in the gestalt of the operation explained above, with the gestalt of the 1st operation, although UV was irradiated [the tape 2] with the gestalt of a plasma exposure and the 2nd implementation at the ceramic 16, even if it irradiates UV at a tape 2 and irradiates the plasma at a ceramic 16, respectively, the same effectiveness is acquired.

[0038] Moreover, the exposure of the plasma and UV may remove pollutants which irradiated not only substrates, such as a tape and a ceramic, but the bump of a semiconductor chip, and adhered to the bump by carrying out surface clarification, such as an oxide, and a hydroxide, the organic substance of nickel.

[0039] In the case of the gestalt of the above-mentioned implementation, the effectiveness of low-temperature-izing at the time of flip chip bonding, the reduction in application of pressure, and compaction of the processing time is fully acquired, but before the process which joins a semiconductor chip to a substrate, when a substrate and a semiconductor chip are taken out from plasma treatment equipment and it returns into atmospheric air, C (carbon) and O (oxygen) carry out the reattachment, and may reduce a switching performance.

[0040] Such a problem is solved by the manufacture approach of the gestalt operation of the 3rd of this invention and a manufacturing installation which are explained below, and much more improvement in flip-chip-bonding quality can be aimed at by them.

[0041] The sectional view in which drawing 15 (a) which show the semiconductor device manufacturing installation which uses drawing 14 for the gestalt of the 3rd operation show a semiconductor chip, and (b) shows a substrate, and drawing 16 are the sectional views showing the semiconductor device after carrying out flip chip mounting of the semiconductor chip at a substrate.

[0042] If drawing 15 (a) is referred to, the connection pad 21 will be arranged as an object for connection, and a semiconductor chip 20 will form the Au bump 22 on the connection pad 4 by the bonding of Au wire at it. Au pad which coated ** and a substrate 23 with the front face by Au film is formed in drawing 15 (b).

[0043] In drawing 14, a manufacturing installation has the mounting connection 60 which carries a semiconductor chip 20, and the semiconductor chip feed zone 70 which supplies a semiconductor chip 20 on the outer frame 30 of equipment, the substrate conveyance rail 40 which conveys the substrate 23 which mounts a semiconductor chip 20 to the plasma reaction container 50 which irradiates the plasma at a substrate 23, and the substrate 23 with which the plasma was irradiated. The outer frame 30 is constituted so that it may be sealed and air may not mix in the interior and it fills up with inert gas.

[0044] The plasma reaction container 50 has the door 51 which can be opened and closed horizontally, during a plasma reaction, seals the reaction section 52 and closes it.

[0045] The substrate conveyance rail 40 is formed spacing predetermined in each work-piece trolley table, as come in the work-piece trolley tables 41 and 42 to the location corresponding to the plasma reaction container 50 and the mounting connection 60.

[0046] At first, since the substrate 23 on the work-piece trolley table 41 is covered with the surface treatment section of the connection pad 24 with pollutants, such as an oxide / hydroxide / organic substance, it performs surface defecation processing using the reaction section 52 of the plasma reaction container 50. Before a reaction, the substrate 23 on the work-piece trolley table 41 is moved to the reaction section 52 by the elevator style which is not illustrated.

[0047] As gas used in a plasma reaction container, it is using an argon, oxygen, hydrogen, etc., and the fresh field of the surface treatment section of the connection pad 24 appears.

[0048] As one example of plasma treatment conditions, it is degree of vacuum:10Pa for RF power:400W, argon gas:20 cc/min, and processing-time:5 minutes.

[0049] After plasma treatment, a substrate 23 is returned to a work-piece trolley table from the reaction section 52, and is conveyed to the mounting connection 60 in the state of an inert atmosphere. The neglect time amount of the substrate 23 in the meantime has less than 1 desirable hour, although it is dependent on the oxygen density and moisture concentration in an inert atmosphere.

[0050] The mounting connection 60 connects by doubling the connection pad 24 and the Au bump 22. Like the process shown in drawing 2 mentioned above, drawing 3 or drawing 11, and drawing 12, the mounting connection 60 does flip-flop mounting, putting a pressure, applying heat, after positioning a semiconductor chip 20 on a substrate 23.

[0051] Connection with the stage temperature of the stage (equivalent to the stage 11 of drawing 3) in which the temperature of the tool (equivalent to the collet 12 of drawing 3) which heats a semiconductor chip 20 carries 300 degrees C or less and a substrate 23 as temperature conditions at that time sufficient below 200 degrees C can be performed.

[0052] Thus, the manufacturing installation of drawing 14 becomes connectable [stable], without having the plasma reaction container 50 which carries out surface defecation of the substrate by the exposure of the plasma inside, and Au film front face of the pad 24 of a substrate 23 and the Au bump 22 of a semiconductor chip 20 resoiling the whole interior of an outer frame by inert gas and mainly being filled up with nitrogen or a helium.

[0053] As a gestalt of other operations of this invention, Cu can also be used instead of Au as an ingredient of the front face of a connection terminal pad with the Au bump 2. Since the oxidation of Cu is remarkable, the defecation by plasma treatment is effective, and it is important to make it not put into atmospheric air.

[0054] Moreover, in the gestalt of the 3rd operation, UV irradiation may be performed instead of a plasma exposure.

[Effect of the Invention] As explained above, the plasma or UV is irradiated at both the connection pad of a substrate or the pad of a substrate, and the bump of a semiconductor chip, since surface defecation is carried out, the assembly temperature over a semiconductor chip becomes low, and degradation and the instability of electrical characteristic of the 1st effectiveness are lost. Moreover, the crack for a connection of a semiconductor chip and a substrate becomes that there is nothing, and dependability can be secured over a long period of time.

[0056] The reason is that it can set the connection temperature after the plasma or UV irradiation as 300 degrees C or less.

[0057] The 2nd effectiveness can maintain the condition that the manufacturing installation of this invention removed the contamination of a connection pad, and the quality of connection stabilizes it.

[0058] The reason is that it can perform the next mounting connection within the same equipment without being exposed after plasma treatment and into air.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] In the manufacture approach [in / in (a) / the gestalt of operation of the 1st of this invention], the sectional view showing the process which irradiates the plasma on the tape which is a substrate, and (b) are the sectional views showing a semiconductor chip.

[Drawing 2] It is the sectional view showing the process which positions a semiconductor chip on a tape in the manufacture approach in the gestalt of operation of the 1st of this invention.

[Drawing 3] It is the sectional view showing the process which joins a semiconductor chip to a tape.

[Drawing 4] It is the sectional view showing the process which supplies closure resin after joining a semiconductor chip to a tape.

[Drawing 5] It is the sectional view showing the process which forms a solder ball after hardening of closure resin.

[Drawing 6] It is the sectional view showing the semiconductor device completed by the manufacture approach in the gestalt of operation of the 1st of this invention.

[Drawing 7] It is the graphical representation which took bonding strength (die share reinforcement) along the axis ordinate, took sticking-by-pressure conditions along the axis of abscissa, and performed the comparison by the existence of plasma treatment.

[Drawing 8] When plasma treatment is carried out, it is a graph showing the result of having carried out Auger analysis of the pad front face of a tape.

[Drawing 9] When plasma treatment has not been carried out, it is a graph showing the result of having carried out Auger analysis of the pad front face of a tape.

[Drawing 10] The sectional view showing the process to which (a) irradiates the plasma in the manufacture approach in the gestalt of operation of the 2nd of this invention at the ceramic which is a substrate, and (b) are the sectional views showing a semiconductor chip.

[Drawing 11] It is the sectional view showing the process which positions a semiconductor chip to the substrate of ceramic in the manufacture approach in the gestalt of operation of the 2nd of this invention.

[Drawing 12] It is the sectional view showing the process which joins a semiconductor chip to the substrate of a ceramic.

[Drawing 13] It is the sectional view showing the process which supplies closure resin after joining a semiconductor chip to the substrate of a ceramic, and completes a semiconductor device.

[Drawing 14] It is the outline sectional view showing the manufacturing installation in the gestalt of operation of the 3rd of this invention.

[Drawing 15] A semiconductor chip [in / in (a) / the gestalt of operation of the 3rd of this invention] and (b) are the sectional views showing a substrate.

[Drawing 16] It is the sectional view showing the semiconductor device after carrying out flip chip mounting of the semiconductor chip of drawing 15 (a) by the manufacturing installation of drawing 14 at the substrate of (b).

[Description of Notations]

1 Plasma

2 Tape

3 Pad

4 Au Plating

5 Nickel Plating
6 Cu
7 BGA Pad
8 Chip
9 Aluminum Pad
10 Au Bump

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.